

BEST AVAILABLE COPY

Docket No. 16983



UNITED STATES PATENT AND TRADEMARK OFFICE

VERIFICATION OF A TRANSLATION

I, the below named translator, hereby declare that:

My name and post office address are as stated below;

That I am knowledgeable in the English language and in the Japanese language, and that I believe the English translation of the marked portion of the attached Japanese document is true and complete.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Date: May 3, 2006

Full name of the translator: Roland Piers LEVAN

Signature of translator :

For and on behalf of RWS Group Ltd

Post Office Address : Europa House, Marsham Way,
Gerrards Cross, Buckinghamshire,
England.

1. Claims 1 and 2 of the scope of the claims of the subject application (referred to hereinafter as "the inventions of the subject application") are inventions relating to a memory system in which one or more buffers are connected to a controller for controlling a memory circuit via data cabling for data transmission, and furthermore which system comprises a module in which a plurality of memory circuits are connected to the abovementioned buffer(s) via internal data cabling.

On the other hand, Korean Unexamined Patent Application 1998-32834 (laid open July 25th, 1998; referred to hereinafter as "the cited inventions") concerns inventions relating to a memory drive circuit which is characterized in that it is provided with a memory controller for driving a memory module, and a buffer in charge of transmitting drive signals between the memory module and the controller.

If the two inventions are compared, the configuration of the plurality of memory circuits, the controller for controlling the memory circuits and the buffer of the inventions of the subject application resembles the configuration of the plurality of memory elements, the memory controller and the buffer of the cited inventions.

However, the exact connectional relationship (the data cabling for data transmission and the internal data cabling) between the configurational elements of the inventions of the subject application differs from the connectional relationship between the

configurational elements of the inventions of the cited inventions, but it is judged that a person skilled in the art could give consideration to the abovementioned difference when designing the system.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G06F 13/00

(11) 공개번호 특 1998-032834
(43) 공개일자 1998년 07월 25일

(21) 출원번호	특 1997-052680
(22) 출원일자	1997년 10월 15일
(30) 우선권주장	96-290134 1996년 10월 31일 일본 (JP)
(71) 출원인	후지쓰가부시킴이샤 세키자와다다시
(72) 발명자	일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4조에 1반 1고 도사카마사키 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4조에 1반 1고, 후지쓰 가부시킴이샤 나이 우수미유타 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4조에 1반 1고, 후지쓰 가부시킴이샤 나이 마츠미노리유키 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4조에 1반 1고, 후지쓰 가부시킴이샤 나이 마츠다마사오 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4조에 1반 1고, 후지쓰 가부시킴이샤 나이 가스가자즈노리 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4조에 1반 1고, 후지쓰 가부시킴이샤 나이
(74) 대리인	조태연

심사청구 : 있음

(54) 메모리 구동 회로

요약

본 발명은 복수의 메모리 소자로 구성되는 메모리 모듈을 적어도 1개 구비하고, 상기 메모리 모듈을 구동하는 메모리 컨트롤러와, 상기 메모리 모듈과 상기 메모리 컨트롤러의 사이에 배치되어, 상기 메모리 컨트롤러로부터 구동 신호를 수신하고, 수신한 구동 신호를 상기 메모리 모듈로 송신하는 버퍼를 구비하며, 상기 메모리 모듈에서 발생하는 신호의 반사 노이즈를 상기 버퍼로 흡수하도록 한 메모리 구동 회로이다.

도면

도 1

도 2

도면의 간단한 설명

- 도 1은 본 발명에 관계되는 메모리 구동 회로의 구성을 나타내는 도면.
- 도 2는 DRAM의 내부 구성을 나타내는 도면.
- 도 3은 메모리셀의 내부 구성을 나타내는 도면.
- 도 4는 도 1의 점 c에 있어서의 신호 파형을 나타내는 도면(1).
- 도 5는 도 1의 점 b에 있어서의 신호 파형을 나타내는 도면(1).
- 도 6은 도 1의 점 a에 있어서의 신호 파형을 나타내는 도면(1).
- 도 7은 도 1의 점 c에 있어서의 신호 파형을 나타내는 도면(2).
- 도 8은 도 1의 점 b에 있어서의 신호 파형을 나타내는 도면(2).
- 도 9는 도 1의 점 a에 있어서의 신호 파형을 나타내는 도면(2).

도 10은 종래의 메모리 구동 회로의 구성을 나타내는 도면.

〈도면의 주요부분에 대한 부호의 설명〉

- 1: 메모리 모듈
- 2: 다이내믹 RAM (DRAM)
- 3: 버퍼
- 5: 메모리 컨트롤러(MC)
- 6: 배선 패턴
- 7: 데이터 버스
- 8: 제어 버스
- 9: 어드레스 버스
- 10: 커패시터
- 11: 트랜스퍼 게이트
- 14: 배선 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 모듈화된 메모리를 구동하는 회로에 관한것이다.

퍼스널컴퓨터 등의 전자 계산기에서는 모듈화한 메모리를 내장하는 것이 일반화되고 있다. 모듈화한 메모리는, 예컨대, 도 10에 도시된 바와 같이, 복수의 메모리 모듈을 내장하는 동시에, 이들 메모리 모듈을 구동하는 메모리 컨트롤러 MC를 내장하여, 메모리 컨트롤러 MC와 메모리 모듈을 커넥터로 접속하여 구성된다.

각 메모리 모듈은 다이내믹 RAM(DRAM)을 배선 패턴으로 접속하여 구성되기 때문에, 복수의 메모리 모듈을 내장했을 경우에는 메모리 모듈내의 배선이 스타브형(분기 배선)이 된다.

상기 메모리 모듈에 내장되는 DRAM의 개수는 개개의 DRAM 용량에 따라 다르다. 예컨대, 16Mbit의 DRAM을 이용하여 8Mbyte의 메모리 모듈을 구성하는 경우, 메모리 모듈에 내장되는 DRAM의 개수는 4개가 된다. 또한, 4Mbit의 DRAM을 이용하여 8Mbyte의 메모리 모듈을 구성하는 경우, 메모리 모듈에 내장되는 DRAM의 개수는 16개가 된다. 이와 같이, 메모리 모듈의 용량은, 내장하는 DRAM의 용량과 그 개수에 따라 다르다.

상기한 바와 같은 메모리 회로에 데이터를 기록하는 경우는, 메모리 컨트롤러 MC는 DRAM을 구성하는 커패시터(정전 용량 소자)에 전하를 압축 또는 방전시킨다. 한편, 메모리 회로로부터 데이터를 독출하는 경우는, 메모리 컨트롤러 MC는 커패시터에 축압된 전하의 유무(전하 유: '1', 전하 무: '0')를 참조한다.

그런데, 상기한 종래의 메모리 구동 회로에서는 메모리 모듈내의 배선이 스타브형으로 되어 있기 때문에, 배선 임피던스에 부정합이 생기고 있다. 그리고, 메모리 컨트롤러 MC로부터 메모리 모듈로 신호가 송신되었을 경우, 임피던스의 부정합에 의해 신호가 반사하고, 반사한 신호(아하, 반사 노이즈라고 기재함)가 메모리 모듈내의 배선이나, 메모리 모듈과 메모리 컨트롤러를 연결하는 배선 등을 쏘려, 메모리 컨트롤러 MC로부터의 신호와 겹치게 된다.

여기서, 메모리 컨트롤러로부터 메모리 모듈로 송신되는 신호로서, 메모리 모듈의 독출 동작시 하이 레벨(H) 신호를 나타내고, 기록 동작시 로우 레벨(L) 신호를 나타내는 라이트 이네이블 신호(WE)와, 매트릭스 형으로 배치된 커패시터로 구성되는 DRAM의 로우 어드레스 지정 타이밍을 나타내는 로우 어드레스 스트로브(RAS: ROW ADDRESS STROBE) 신호와, 상기 DRAM의 컬럼 어드레스 지정 타이밍을 나타내다)도시하는 컬럼 어드레스 스트로브(CAS: COLUMN ADDRESS STROBE)와, 어드레스 신호등이 있다.

라이트 이네이블 신호 WE, 로우 어드레스 스트로브 신호 RAS, 컬럼 어드레스 스트로브 신호 CAS, 및 어드레스 신호는 신호치의 변화점을 사용하는 엣지 트리거 신호이다. 이 때문에, 이들 신호가 상기 반사 노이즈와 겹쳤을 경우, 신호의 파형 균열이나 단절음이 생기며, DRAM의 오동작을 초래한다.

또한, 반사 노이즈는 메모리 모듈의 부하 용량이 증가할수록 커지므로, 용량이 다른 메모리 모듈을 내장했을 경우, 예컨대, 도 10의 예에서는 메모리 모듈 A보다도 메모리 모듈 B의 폭이 부하 용량이 커지므로, 메모리 모듈 B에서 발생하는 반사 노이즈는 메모리 모듈 A에서 발생하는 반사 노이즈보다도 커진다. 이 때문에, 메모리 모듈 B에서 발생한 반사 노이즈는 메모리 모듈 A의 메모리 소자에까지 영향을 미치게 할 우려가 있다.

또, 메모리 모듈을 증설했을 경우, 메모리 회로 전체의 부하 용량이 커지므로, 메모리 컨트롤러 MC로부터 출력되는 신호의 상승 시간, 하강 시간이 커지고, 지연이 증대하여 타이밍 에러를 발생한다. 이러한 타이밍 에러를 방지하는 방법으로서, 메모리 컨트롤러의 구동 능력을 크게하는 방법이 있지만, 메모리 모듈의 내장수가 적은 경우는, 오버 슈트나 언더 슈트가 발생하여 DRAM의 오동작을 야기하게 된다.

상기 AND 게이트(30)는 2개의 입력 단자와 1개의 출력 단자를 가지며, 상기 2개의 입력 단자의 한쪽이 상기 클록 CLK(1)(27)에 접속되는 동시에, 상기 2개의 입력 단자의 다른쪽이 상기 제어 버스(8)의 라이트 이네이블 신호선에 접속된다. 그리고, 상기 출력 단자는, 기록 데이터 버퍼(28) 및 독출 데이터 버퍼(29)에 접속된다. 여기서, AND 게이트(30)는 라이트 이네이블 신호선에 의해 전송되는 라이트 이네이블 신호를 반전 입력하도록 되어 있고, 상기 라이트 이네이블 신호가 하이 레벨(DRAM(2)의 독출 동작)을 나타낼 때 상기 하이 레벨 신호를 로우 레벨 신호로 반전하여 입력하고, 라이트 이네이블 신호가 로우 레벨(DRAM(2)의 기록 동작)을 나타낼 때 상기 로우 레벨 신호를 하이 레벨 신호로 반전하여 입력한다.

상기 독출 데이터 버퍼(29)는 이네이블 제어부의 버퍼로 구성되고, AND 회로(30)의 출력 단자로부터 출력되는 신호를 이네이블 신호로서 입력한다. 그리고, 독출 데이터 버퍼(29)는 상기 AND 회로(30)로부터의 로우 레벨 신호(L)를 수신하면, 센스 앰프(21)로부터의 데이터를 받아들이고, 받아들인 데이터를 독출 데이터선 DOUT으로 송신한다. 한편, 독출 데이터 버퍼(29)는 AND 회로(30)로부터의 하이 레벨 신호(H)를 수신하면, 센스 앰프(21)로부터의 데이터를 받아들이지 않는다.

계속해서, 상기 기록 데이터 버퍼(28)는 상기 독출 데이터 버퍼(29)와 동일하게 이네이블 제어부의 버퍼로 구성되고, AND 회로(30)의 출력 단자로부터 출력되는 신호를 이네이블 신호로서 입력한다. 단, 기록 데이터 버퍼(28)는 상기 독출 데이터 버퍼(29)가 AND 회로(30)로부터의 로우 레벨 신호를 이네이블 신호로 하는데 대하여, AND 회로(30)로부터의 하이 레벨 신호를 이네이블 신호로 한다. 그리고, 기록 데이터 버퍼(28)는 AND 회로(30)로부터의 로우 레벨 신호를 입력할 때, 상기 기록 데이터선 DIN에 의해 송신되어 오는 데이터를 받아들이고, 받아들인 데이터를 센스 앰프(21)로 송신한다.

다음에, 상기 메모리셀(20)은, 도 3에 도시된 바와 같이, 복수의 커패시터(10)와 트랜스퍼 게이트(11)로 이루어지는 기억 소자를 매트릭스형으로 배치하여 구성된다. 각 기억 소자는 로우 어드레스 디코더(22)에 접속된 워드선(12)과, 센스 앰프(21)에 접속된 비트선(13)에 접속된다. 그리고, 상기 워드선(12)은 각 기억 소자의 트랜스퍼 게이트(11)와 접속되며, 상기 비트선(13)은 각 기억 소자의 트랜스퍼 게이트(11)를 통해 커패시터(10)와 접속된다.

상기 트랜스퍼 게이트(11)는 워드선(12)에 구동 전력이 인가되면, 상기 비트선(13)과 커패시터(10)와의 사이를 도통시키는 것이다.

이상 기술한 DRAM(2)은 메모리 컨트롤러 MC(5)로부터의 하이 레벨의 라이트 이네이블 신호에 수신하면, 메모리셀(20)의 독출 동작을 행한다. 그리고, 메모리 컨트롤러 MC(5)는 라이트 이네이블 신호에 계속되며, 로우 어드레스·스트로브 신호 RAS와 로우 어드레스 데이터를 순차적으로 송신한다.

먼저, 로우 어드레스·스트로브 신호 RAS는 제어 버스(8)를 경유하여 DRAM(2)의 클록 CLK(2)(24)으로 보내진다. 이 때 클록 CLK(2)(24)는 로우 어드레스 레지스터(23) 및 로우 어드레스 디코더(22)에 클록 신호를 송신한다.

클록 신호를 수신한 로우 어드레스 레지스터(23)는 메모리 컨트롤러 MC(5)로부터의 로우 어드레스 데이터를 받아들이고, 받아들인 로우 어드레스 데이터를 행번호 디코더(22)로 송신한다.

행번호 디코더(22)는 상기 로우 어드레스 데이터를 수신하면, 메모리셀(20)의 상기 로우 어드레스 데이터가 나타내는 로우(워드선(12))에 구동 전력을 인가한다. 구동 전력이 인가된 행에 위치하는 기억 소자에서는, 상기 구동 전력이 트랜스퍼 게이트(11)에 인가되며, 커패시터(10)와 비트선(13)과의 사이가 도통한다.

여기서, 메모리 컨트롤러 MC(5)는 로우 어드레스 데이터의 송신 종료 후에 컬럼 어드레스·스트로브 신호 CAS와 컬럼 어드레스 데이터를 순차적으로 송신하고 있으므로, 이 컬럼 어드레스·스트로브 신호 CAS가 클록 CLK(1)(27)에 보내지고, 클록 CLK(1)(27)이 컬럼 어드레스 레지스터(26)와 컬럼 어드레스 디코더(25)와 AND 회로(30)에 클록 신호를 송신한다.

그리고, 클록 신호를 수신한 컬럼 어드레스 레지스터(26)는 어드레스 버스(9)를 통해 송신되는 컬럼 어드레스 데이터를 받아들이고, 받아들인 컬럼 어드레스 데이터를 컬럼 어드레스 디코더(25)로 송신한다.

컬럼 어드레스 데이터를 수신한 컬럼 어드레스 디코더(25)는 센스 앰프(21)에 대하여, 상기 컬럼 어드레스 데이터에 대응하는 컬럼(비트선(13))을 지정하는 신호를 송신한다.

이 때, 센스 앰프(21)는 상기 행에 위치하는 기억 소자중, 상기 지정 신호가 지정하는 컬럼(비트선(13))에 위치하는 기억 소자의 커패시터(10)를 감지하고, 전하가 축압되어 있는지의 여부를 판별한다. 상기 커패시터(10)에 전하가 축압되어 있을 때, 상기 센스 앰프(21)는 신호 "1"을 독출 데이터 버퍼로 송신하여, 상기 커패시터(10)에 전하가 축압되어 있을 때, 상기 센스 앰프(21)는 신호 "0"을 독출 데이터 버퍼로 송신한다.

한편, AND 회로(30)는 하이 레벨의 라이트 이네이블 신호에 반전 입력하는 동시에, 클록 CLK(1)(27)으로부터의 클록 신호(하이 레벨)를 입력하고 있으므로, 로우 레벨의 신호(L)를 기록 데이터 버퍼(28)와 독출 데이터 버퍼(29)에 송신하게 된다. 이 때, 독출 데이터 버퍼(29)만이 동작하여, 상기 센스 앰프(21)로부터의 신호("1" OR "0")를 받아들인다. 그리고, 독출 데이터 버퍼(29)는 받아들인 신호("1" OR "0")를 독출 데이터선 DOUT(?)을 통해, 상기 메모리 컨트롤러 MC(5)로 송신한다.

다음에, DRAM(2)은 메모리 컨트롤러 MC(5)로부터의 로우 레벨의 라이트 이네이블 신호에 수신하면, 메모리셀(20)의 기록 동작을 행한다. 그리고, 메모리 컨트롤러 MC(5)는 라이트 이네이블 신호에 계속되고, 로우 어드레스·스트로브 신호 RAS, 로우 어드레스 데이터, 컬럼 어드레스·스트로브 신호 CAS, 컬럼 어드레스 데이터를 순차적으로 송신한다.

그리고, 클록 CLK(1)(27), 컬럼 어드레스 레지스터(26), 클록 CLK(2)(24), 로우 어드레스 디코더 및 로우 어드레스 디코더(22)는, 전술한 독출 동작시와 동일하게 동작하며, 메모리셀(20)을 구성하는 복수의 기억

소자중의 1개를 선택한다.

계속해서, AND 회로(30)는 로우 레벨의 라이트 이네이블 신호 \overline{WE} 를 반전 입력하는 동시에, 클럭 $CLK(1)(27)$ 으로부터의 클럭 신호(하이 레벨)를 입력하고 있으므로, 하이 레벨의 신호(H)를 기록 데이터 버퍼(28)와 독출 데이터 버퍼(29)에 송신하게 된다. 이 때, 기록 데이터 버퍼(28)만이 동작하여, 상기 메모리 컨트롤러 MC(5)로부터 상기 기록 데이터선 DIN을 통해 송신되어 오는 신호(“1” OR “0”)를 받아들이고, 받아들인 신호(“1” OR “0”)를 상기 센스 앰프(21)로 송신한다.

그리고, 센스 앰프(21)는 상기 로우 어드레스 및 상기 컬럼 어드레스에 의해 특정된 기억 소자의 캐패시터(10)에 기록 버퍼(28)로부터의 신호(“1” OR “0”)를 기록한다. 예컨대, 기록 데이터 버퍼(28)로부터의 신호가 “1”인 경우, 센스 앰프(21)는 상기 캐패시터(10)에 전하를 축압하고, 기록 데이터 버퍼(28)로부터의 신호가 “0”인 경우, 센스 앰프(21)는 상기 캐패시터(10)에 축압되어 있던 전하를 방전시킨다.

이하, 본 실시의 형태의 작용·효과에 대해서 진술한다.

메모리 컨트롤러 MC(5)로부터 배선 패턴(14)을 통해 신호를 송신하면, 상기 신호는 버퍼(3)·커넥터(4)·배선 패턴(6)을 통해 메모리 모듈(1)로 송신된다. 이 때, 배선 패턴(6)과 메모리 모듈(1)과의 접속점(도 1중, b점)에서는, 배선 패턴(6)의 임피던스와 메모리 모듈(1)의 임피던스의 부정합에 의해, 상기 신호의 반사 노이즈가 발생한다.

그리고, 상기 b점에서 발생한 반사 노이즈는 배선 패턴(6)을 역류하여, 버퍼(3)로 향하지만, 버퍼(3)에 의해서 흡수되므로, 다른 메모리 모듈(1)로 향하지 않는다.

또, 버퍼(3)의 출력 임피던스와 배선 패턴(6)의 임피던스가 정합하고 있으므로, 버퍼(3)와 배선 패턴(6)의 접속점(도 1중, a점)에서는, 상기 반사 노이즈가 다시 반사하는 일도 없다.

또한, 상기 a점에 있어서의 반사 노이즈를 억제하는 방법으로서, 상기 배선 패턴(6)의 임피던스와 상기 메모리 모듈(1)의 임피던스를 정합시키는 방법을 생각할 수 있지만, 내장되는 메모리 모듈은 여러가지 종류가 존재하기 때문에, 배선 패턴(6)의 임피던스와 메모리 모듈의 임피던스를 완전히 정합시키는 것은 곤란하다.

그래서, 본 발명에 관계되는 메모리 구동 회로에서는, 여러가지 메모리 모듈이 취할 수 있는 임피던스 범위내에서 상기 배선 패턴(6)의 임피던스(및 버퍼(3)의 출력 임피던스)를 결정하도록 하여, 상기 a점에서 발생하는 반사 노이즈를 강력히 억제한다. 일반적으로, 메모리 모듈의 임피던스는 30Ω~50Ω이기 때문에, 상기 배선 패턴(6)의 임피던스 및 버퍼(3)의 출력 임피던스는 30~50Ω의 범위내에서 정합시키는 것이 바람직하다.

그런데, 상기한 바와 같이, 버퍼(3)의 임피던스와 배선 패턴(6)의 임피던스가 정합되었을 경우, 버퍼(3)로부터 가장 먼 위치(도 1중, c점)에서는 도 4에 도시된 바와 같이 신호가 양호한 파형을 형성하여 상승하지만, 버퍼(3) 근처의 b점에서는 도 5에 도시된 바와 같이, 버퍼(3)로부터 송신되는 신호가 메모리 모듈(1)내의 각 DRAM(2)에서 발생하는 반사 노이즈와 겹치기 때문에, 모듈내를 신호가 전파하여 b점으로 되돌아올 때까지의 시간(b점에서 가장 먼 위치의 DRAM(2)에서 발생하는 반사 노이즈가 b점에 도달할 때까지의 시간) t1은 신호는 상승하지 않으며, 단계적인 파형을 형성한다.

또, 상기 a점에 있어서의 신호도, 도 6에 도시된 바와 같이, 반사 노이즈의 영향을 받아 단계적인 파형을 형성하여 상승하게 된다.

그래서, 본 발명에 관계되는 메모리 구동 회로에서는 버퍼(3)가 출력하는 신호의 천이 시간을 메모리 모듈(1)내를 신호가 전파하여 b점으로 되돌아올 때까지의 시간과 동일하거나 또는 크게하여, 상기 a점, b점, c점에 있어서의 신호가 양호한 파형을 형성하여 상승하도록 한다(도 7, 도 8, 도 9 참조).

따라서, 본 실시 형태에 관계되는 메모리 구동 회로에 의하면, 메모리 모듈에서 발생하는 반사 노이즈를 버퍼로 흡수함으로써, 다른 메모리 모듈의 오동작을 방지할 수 있다.

또, 버퍼(3)의 출력 임피던스와 배선 패턴(6)을 정합함으로써, 메모리 모듈(1)에서 발생한 반사 노이즈가 중복하는 일이 없다.

또한, 버퍼(3)로부터 출력되는 신호의 천이 시간을 메모리 모듈(1)내의 신호 전파 시간과 동일하거나 또는 크게함으로써, 신호의 파형 균열을 방지하며, 타이밍 에러를 방지할 수 있다.

발명의 효과

본 발명에 관계되는 메모리 구동 회로에 의하면, 여러가지 구성의 메모리 모듈을 내장하는 회로에 있어서, 회로내의 불필요한 반사 노이즈를 방지하고, 회로내에서 송수신되는 신호의 파형을 양질이면서 또한 안정한 파형으로 하는 동시에, 회로내의 지연을 억제할 수 있다.

(57) 청구의 범위

청구항 1

복수의 메모리 소자로 구성되는 적어도 한 개의 메모리 모듈과;

상기 메모리 모듈을 구동하는 메모리 컨트롤러와;

상기 메모리 모듈과 상기 메모리 컨트롤러의 사이에 배치되고, 상기 메모리 컨트롤러로부터의 구동 신호를 수신하며, 수신한 구동 신호를 상기 메모리 모듈로 송신하는 버퍼를 구비하는 것을 특징으로 하는 메모리 구동 회로.

청구항 2

제1항에 있어서, 상기 버퍼의 출력 임피던스는 상기 버퍼와 상기 메모리 모듈을 접속하는 배선의 임피던스에 정합하는 것을 특징으로 하는 메모리 구동 회로.

청구항 3

제1항에 있어서, 상기 버퍼와 상기 메모리 모듈을 접속하는 배선의 임피던스를 상기 메모리 모듈이 휘발 수 있는 임피던스 범위내의 값으로 하는 것을 특징으로 하는 메모리 구동 회로.

청구항 4

제1항에 있어서, 상기 버퍼로부터 출력되는 신호값의 천이 시간은 상기 메모리 모듈내를 신호가 전파하는 시간과 동일하거나 또는 크게하는 것을 특징으로 하는 메모리 구동 회로.

도면

도면1

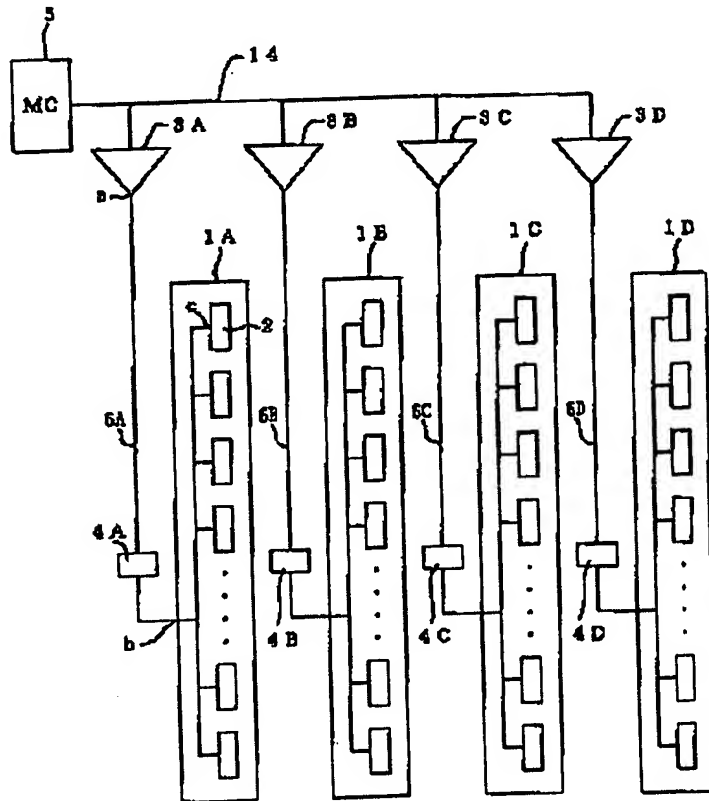


図 13

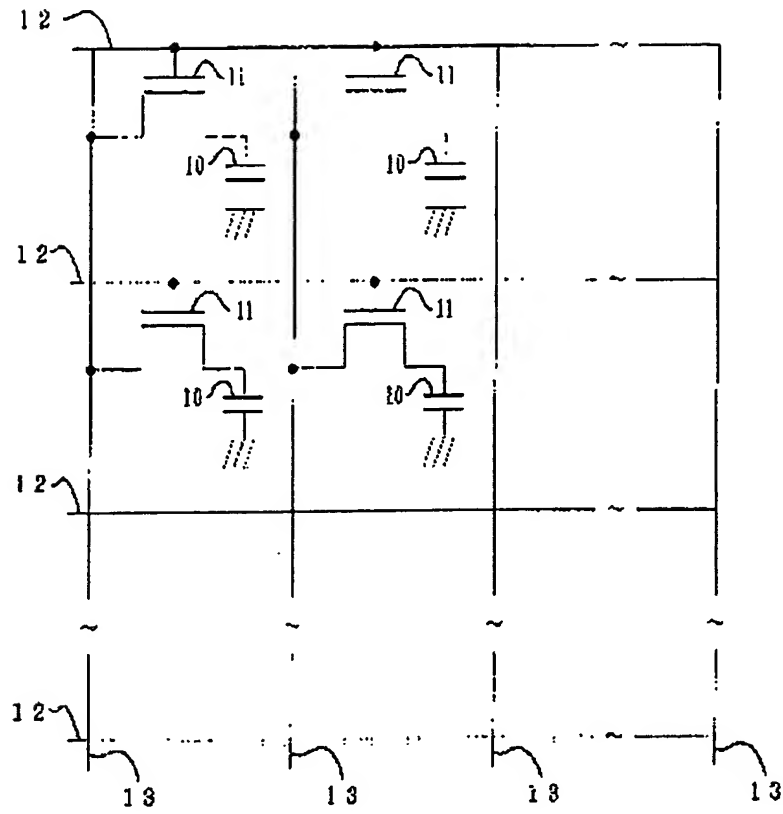
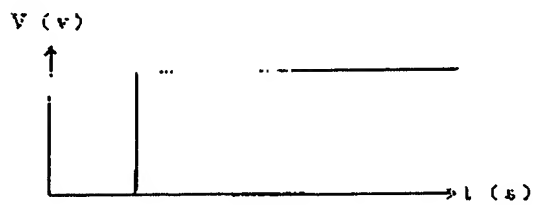
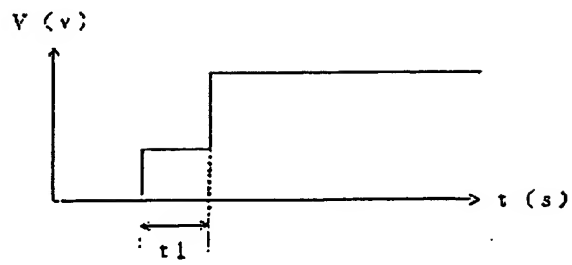


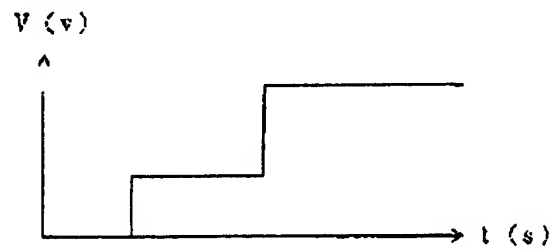
図 14



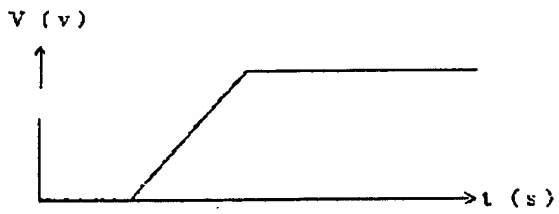
예5



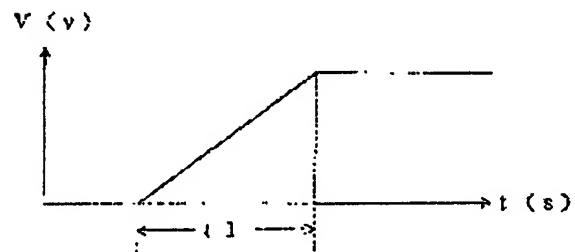
예6



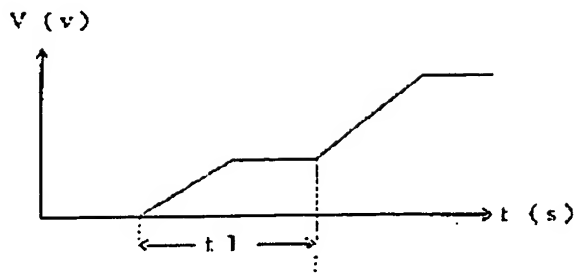
예7



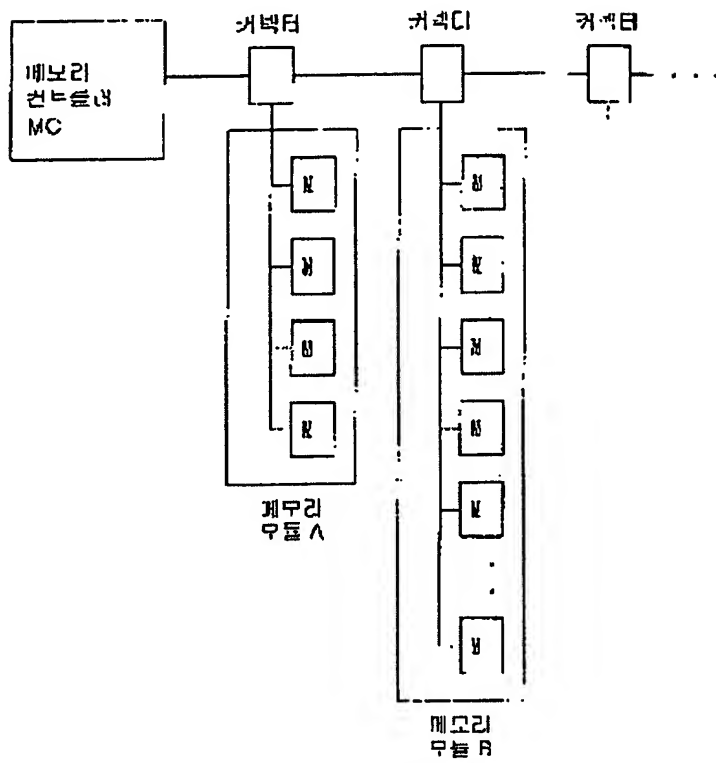
예8



도면 9



도면 10



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.